

## ЕФЕКТИВНИЙ ПІДХІД ДО ПОБУДОВИ ЦИФРОВИХ БАГАТОКАЛЬНИХ ФІЛЬТРІВ НА FPGA

**Бичков В. Е.**

*ТОВ «НВП «Омега», м. Київ, Україна*

В процесі керування використанням радіочастотного спектру важливу роль відіграє радіомоніторинг, як єдиний спосіб отримати реальну інформацію про стан радіоефіру. В цілому це дозволяє призначати радіочастоти, контролювати їх експлуатаційну готовність та оперативно приймати засоби по забезпеченню електромагнітної сумісності радіoeлектронних засобів та систем зв'язку.

При рішенні поставлених задач контролю та отримання інформації про джерела радіовипромінювання, використовують автоматизовані станції радіомоніторингу, однією з основних складових якої є багатоканальний панорамний приймач, з такою важливою складовою частиною як частото-селективний пристрій.

Задача його створення може бути вирішена із застосуванням елементної бази, що програмується, а саме — FPGA.

Спираючись на основні вимоги, що до характеристик частотної вибірконості, на етапі побудови його прототипу, можна обрати структуру фільтру та синтезувати його імпульсну характеристику. При побудові на FPGA КІХ структури, можна виділити два основні підходи до реалізації системи цифрових багатоканальних фільтрів [1, 2].

Перший підхід:

– побудова у вигляді єдиної паралельної структури, що складається з  $M$  числа помножувачів які виконують паралельне множення виходу регістру зсуву на  $M$  коефіцієнтів фільтру з подальшим додаванням. У випадку парності та симетрії імпульсної характеристики, можна зробити  $M/2$  операцій множення з попереднім додаванням.

Другий підхід:

– побудова у вигляді масиву незалежних один від іншого модулів обчислювача [1], кожний з яких послідовно виконує  $M$  операцій множення з накопиченням та виконує обробку власного набору сигналів.

Для вибору першого чи другого підходу, при побудові КІХ фільтру, необхідно спиратись на значення частоти дискретизації вхідного сигналу  $f_d$ . Також обравши певну елементну базу, обравши розрядність обчислень, маючи практичний досвід написання мовою HDL модулів обчислювачів необхідно, на першому етапі, задатись частотою роботи обчислювача  $f_{proc}$ . Отримавши всі ці вхідні данні можна розглянути дві основні умови:

$$\frac{f_{proc}}{(f_d \cdot D)} < M, \quad (1)$$

$$\frac{f_{proc}}{(f_d \cdot D)} > M, \quad (2)$$

де  $M$  — кількість відліків імпульсної характеристики фільтру,  $D$  — коефіцієнт децимації фільтру,  $f_{proc}$  — частота роботи обчислювача,  $f_d$  — частота дискретизації вхідного сигналу.

При виконанні умови (1) найбільш раціональним є побудова повністю паралельної структури з можливістю невеликої компресії каналів. Якщо справедливим є виконання умови (2), то в цьому випадку більш логічним є побудова послідовної структури з помножувачем-накопичувачем.

Окремої уваги заслуговує організація подачі відліків вхідного сигналу на модуль обчислення. Для випадку паралельної реалізації, вхідні відліки можна подавати на блок обчислення практично без запам'ятовування. В даному випадку працює лише регістр зсуву. Для випадку послідовної реалізації — по кожному з каналів треба зберігати не менш ніж  $M \cdot N$  відліків гетеродину та  $M$  відліків вхідного сигналу відповідної розрядності [3],  $N$  — в даному випадку, це кількість каналів багатоканальної реалізації.

В останньому випадку ідеальним є використання двох портової пам'яті Dual Port Ram, яка має достатньо ефективну та швидкодіючу реалізацію у будь який сучасній мікросхемі FPGA. Ця пам'ять повинна використовуватись у "кільцевому" режимі як для запису, так і для читання [4].

Для пояснення роботи цього підходу розглянемо розподіл адрес запису та читання у сукупності з вхідними та вихідними даними відповідного каналу. Всі ці значення зведено до табл. 1 для випадку якщо:  $M = 4$ ,  $D = 2$ .

В табл. 1 позначені:  $Wadr$  — циклічна адреса запису результатів множення відліків вхідного сигналу та гетеродину, що поступають на вхід модуля обчислювача.  $Radr$  — циклічна адреса читання з пам'яті.  $Kadr$  — адреса коефіцієнтів імпульсної характеристики фільтру.  $Din$  — відліки вхідного сигналу з номерами.  $Dout$  — відліки вхідного сигналу з виходу пам'яті.  $Kt$  — коефіцієнти фільтру.

Таблиця 1

$Wadr$	$Radr$	$Kadr$	$Din$	$Dout$	$Kt$	
0			D1			Регістр накопичення
1			D2			
2			D3			
3			D4			
	0	0		D1	K0	Неперервний режим фільтрації з децимацією
4	1	1	D5	D2	K1	
	2	2		D3	K2	
5	3	3	D6	D4	K3	
	2	0		D3	K0	
6	3	1	D7	D4	K1	
	4	2		D5	K2	
7	5	3	D8	D6	K3	
	4	0		D5	K0	
0	5	1	D9	D6	K1	
	6	2		D7	K2	
1	7	3	D10	D8	K3	
	6	0		D7	K0	
2	7	1	D11	D8	K1	
	0	2		D9	K2	
3	1	3	D12	D10	K3	
	0	0		D9	K0	
4	1	1	D13	D10	K1	
	2	2		D11	K2	
5	3	3	D14	D12	K3	

Кожна клітинка таблиці еквівалента частоті на якій працює модуль обчислювача та контролер двохпортової пам'яті. Результатом роботи фільтру, в даному випадку, буде операція множення з накопиченням виходу пам'яті *Dout* та коефіцієнтів *Kt* на часовому інтервалі еквівалентним, у відліках, тривалості імпульсної характеристики фільтру. Для випадку коли на *Dout* з'являться не заповнені клітинки, так звані вільні такти, та їх кількість буде збігатись з тривалістю імпульсної характеристики фільтру *M* це буде означати, що модуль обчислення здатний обробити ще один канал фільтру. Можна зробити висновок, що чим більше відношення  $f_{proc}$  до  $f_d$  і чим більший коефіцієнт *D*, тим більше число каналів можна помістити в структуру одного модуля обчислювача — конвеєра з помножувачем накопичувачем.

Відповідність першому або другому критерію, зокрема виконання умов (1, 2), досягається ще за рахунок знаходження балансу між об'ємами паралельних та послідовних обчислень які треба виконати на кожному інтервалі дискретизації. Для того щоб дати відповідь скільки каналів фільтру приймача можна створити в одній FPGA, треба зробити розрахунок об'єму пам'яті необхідного для збереження вхідних даних. Також треба знати скільки модулів DSP містить обрана мікросхема FPGA [1], та з якою максимальною частотою  $f_{proc}$  може працювати цей модуль.

#### **Перелік посилань**

1. Dsp System Design in Stratix Devices / Application note 504. // Altera Corporation AN-504-1.0, 2008. — p. 24.
2. Bychkov V. Multichannel Digital Filters on FPGA / Bychkov V., Pravda V. // Modern problems of radio engineering, telecommunications and computer science. TCSET2014, Lviv-Slavsko, Ukraine. — p. 202.
3. Steve Kilts. Advanced FPGA Design — Wiley-Interscience Publication, 2007. — p. 69–83.
4. Ryan Kastner. Parallel Programming for FPGAs / Ryan Kastner, Janarbek Matai, Stephen Neuendorffer — Kastner Research Group, 2018. — p. 31–55.

#### **Анотація**

Представлено два основні методи реалізації багатоканальних фільтрів на FPGA. Запропоновано приклад практичної реалізації контролера керування модуля обчислення для послідовної структури багатоканального фільтра.

**Ключові слова:** КІХ фільтр, FPGA.

#### **Аннотация**

Представлено два основных метода реализации многоканальных фильтров на FPGA. Предложен пример практической реализации контроллера управления модуля вычисления для последовательной структуры многоканального фильтра.

**Ключевые слова:** КИХ фильтр, FPGA.

#### **Abstract**

Two main methods for implementing multi-channel filters on FPGA are presented. An example of a practical implementation the control controller of the calculation module for the serial structure a multi-channel filter is considered.

**Keywords:** FIR filter, FPGA.